

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

08-272479

(43)Date of publication of application : 18.10.1996

G06F 1/08
G06F 1/04
H03K 3/02
H03K 23/64

(71)Applicant : NKK CORP

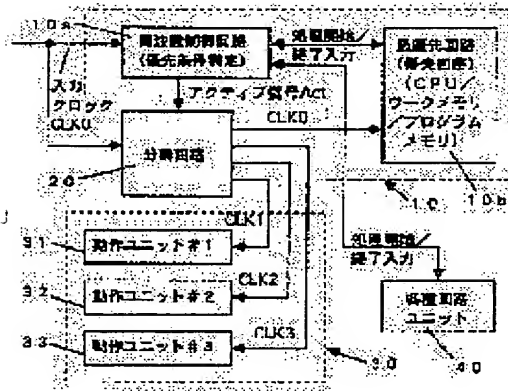
(72)Inventor : SASAKI YASUKI

(54) VARIABLE CLOCK GENERATION DEVICE

(57)Abstract:

PURPOSE: To suppress increase of the current consumption of a power supply without deteriorating the overall system performance.

CONSTITUTION: A variable clock generation device supplies the clocks to the units 31 and 32 which operate by a high speed clock CLK0 or a low speed clock CLK1. Then the generation circuit is provided with a signal switch circuit (dividing action decision circuit) 10 which produces a switch signal Act to switch the clock frequency when a prescribed order (processing start/end) is received, and a variable clock supply circuit 20 which supplies the clock CLK0 to the unit 31 and also the clock CLK1 to the unit 32 respectively in a 1st operating environment (highest priority circuit operation) that is decided by the contents of the instruction and the signal Act and then supplies the clocks CLK0 to both circuits 31 and 32 in a 2nd operating environment (highest priority circuit non-operation) that is decided by the contents of the instruction and the signal Act.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-272479

(43) 公開日 平成8年(1996)10月18日

(51) Int.Cl. ⁶	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 1/08			G 0 6 F 1/04	3 2 0 B
1/04	3 0 1			3 0 1 C
H 0 3 K 3/02			H 0 3 K 3/02	Z
23/64			23/64	G

審査請求 未請求 請求項の数 7 O L (全 11 頁)

(21) 出願番号 特願平7-75855

(22) 出願日 平成7年(1995)3月31日

(71) 出願人 000004123

日本鋼管株式会社

東京都千代田区丸の内一丁目1番2号

(72) 発明者 佐々木 泰樹

東京都千代田区丸の内一丁目1番2号 日

本鋼管株式会社内

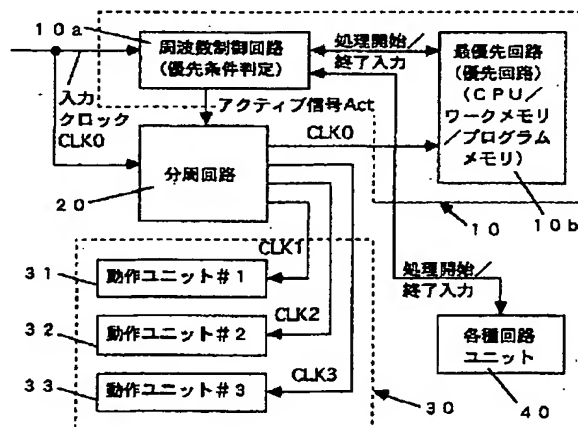
(74) 代理人 弁理士 長谷川 和音

(54) 【発明の名称】 可変クロック発生装置

(57) 【要約】

【目的】 全体的なシステム性能を落とすことなく電源消費電流を押さえる。

【構成】 高速クロック CLK0 または低速クロック CLK1 で動作するユニット 31 および CLK0 または CLK1 で動作するユニット 32 にクロックを供給するものにおいて、所定の命令（処理開始／終了）が入力されたときにクロック周波数を切り換える切換信号 Act を発生する信号切換回路（分周動作決定回路）10 と；前記命令の内容と信号 Act の内容に応じて決まる第1の動作環境（最優先回路動作）では、ユニット 31 に CLK0 を供給するとともにユニット 32 に CLK1 を供給し、前記命令の内容と信号 Act の内容に応じて決まる第2の動作環境（最優先回路非動作）では、ユニット 31 および 32 に CLK0 を供給する可変クロック供給回路 20 とを備える。



【特許請求の範囲】

【請求項 1】第 1 のクロック周波数または第 2 のクロック周波数で動作する第 1 ユニットおよびこの第 1 のクロック周波数または第 2 のクロック周波数で動作する第 2 ユニットにクロックを供給するものにおいて、
 所定の命令が入力されたときにクロック周波数を切り換える切換信号を発生する切換信号回路と；前記所定の命令の内容と前記切換信号の内容に応じて決まる第 1 の動作環境では、前記第 1 ユニットおよび第 2 ユニットの一方に前記第 1 のクロック周波数を供給するとともに前記第 1 ユニットおよび第 2 ユニットの他方に前記第 2 のクロック周波数を供給し、前記所定の命令の内容と前記切換信号の内容に応じて決まる第 2 の動作環境では、前記第 1 ユニットおよび第 2 ユニットの双方に前記第 1 のクロック周波数を供給する可変クロック供給回路とを備えたことを特徴とする可変クロック発生装置。

【請求項 2】前記第 1 の動作環境において、前記第 1 ユニットへのクロック供給切換タイミングと前記第 2 ユニットへのクロック供給切換タイミングとをずらす手段をさらに備えたことを特徴とする請求項 1 に記載の可変クロック発生装置。

【請求項 3】第 1 のクロック周波数または第 2 のクロック周波数で動作する第 1 ユニットおよびこの第 1 のクロック周波数、第 2 のクロック周波数または第 3 のクロック周波数で動作する第 2 ユニットにクロックを供給するものにおいて、
 第 1 の命令が入力されたときにクロック周波数を切り換える第 1 切換信号を発生する第 1 切換信号回路と；第 2 の命令が入力されたときにクロック周波数を切り換える第 2 切換信号を発生する第 2 切換信号回路と；前記第 1 切換信号と前記第 2 切換信号との第 1 の組み合わせで決まる環境では、前記第 1 ユニットおよび第 2 ユニットに前記第 1 のクロック周波数を供給し、前記第 1 切換信号と前記第 2 切換信号との第 2 の組み合わせで決まる環境では、前記第 1 ユニットおよび第 2 ユニットに前記第 2 のクロック周波数を供給し、前記第 1 切換信号と前記第 2 切換信号と第 3 の組み合わせで決まる環境では、前記第 1 ユニットおよび第 2 ユニットに前記第 3 のクロック周波数を供給する可変クロック供給回路とを備えたことを特徴とする可変クロック発生装置。

【請求項 4】前記第 2 または第 3 の組み合わせ環境において、前記第 1 ユニットへのクロック供給切換タイミングと前記第 2 ユニットへのクロック供給切換タイミングとをずらす手段をさらに備えたことを特徴とする請求項 3 に記載の可変クロック発生装置。

【請求項 5】第 1 のクロック周波数または第 2 のクロック周波数で動作する第 1 ユニットおよびこの第 1 のクロック周波数または第 2 のクロック周波数で動作する第 2 ユニットにクロックを供給するものにおいて、
 所定の命令が入力されたときに、その命令の内容に応じ

てクロック周波数を切り換える複数の切換信号を発生するデコーダと；前記複数の切換信号の組み合わせ内容に応じて決まる複数の選択信号を発生する選択回路と；前記複数の選択信号の 1 つにより選択され、前記複数の切換信号の 1 つの内容で決まる第 1 の動作環境では、前記第 1 ユニットおよび第 2 ユニットの一方に前記第 1 のクロック周波数を供給するとともに前記第 1 ユニットおよび第 2 ユニットの他方に前記第 2 のクロック周波数を供給し、前記複数の選択信号の他の 1 つにより選択され、前記複数の切換信号の他の 1 つの内容で決まる第 2 の動作環境では、前記第 1 ユニットおよび第 2 ユニットの他方に前記第 1 のクロック周波数を供給するとともに前記第 1 ユニットおよび第 2 ユニットの一方に前記第 2 のクロック周波数を供給する可変クロック供給回路とを備えたことを特徴とする可変クロック発生装置。

【請求項 6】第 1 のクロック周波数または第 2 のクロック周波数で動作する第 1 ユニットおよびこの第 1 のクロック周波数または第 2 のクロック周波数で動作する第 2 ユニットにクロックを供給するものにおいて、
 所定の命令が入力されたときにクロック周波数を切り換える切換信号を発生し；前記所定の命令の内容と前記切換信号の内容に応じて決まる第 1 の動作環境では、前記第 1 ユニットおよび第 2 ユニットの一方に前記第 1 のクロック周波数を供給するとともに前記第 1 ユニットおよび第 2 ユニットの他方に前記第 2 のクロック周波数を供給し；前記所定の命令の内容と前記切換信号の内容に応じて決まる第 2 の動作環境では、前記第 1 ユニットおよび第 2 ユニットの双方に前記第 1 のクロック周波数を供給することを特徴とする可変クロック発生方法。

【請求項 7】前記第 1 の動作環境において、前記第 1 ユニットへのクロック供給切換タイミングと前記第 2 ユニットへのクロック供給切換タイミングとをずらすことを特徴とする請求項 6 に記載の可変クロック発生方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、システムを構成する各処理部への動作クロックをシステムの稼働状況に応じてダイナミックに変更できる可変クロック発生装置および可変クロック発生方法に関する。

【0002】

【従来の技術】パーソナルコンピュータなどのデジタル装置は、種々なクロックで動作する複数の処理部を含んでいる。たとえばマイクロコンピュータチップにおいて、内部レジスタを用いた整数演算または浮動小数点演算の処理部は最高のクロック周波数で動作させ、その演算処理中に行われる後続命令のロード／ストア等は相対的に低いクロック周波数で動作させる、といったことが行われる。あるいは、たとえばバッテリー駆動のノートブック型パーソナルコンピュータにおいて、その内部の低速 I/O 装置（8 ビットモデムカードなど）を 1 MHz

クロックで動作させ、システムバスを 8 MHz で動作させ、ビットマップ画像出力処理などの重たい処理を行う部分を 16 MHz で動作させる、といったことが行われる。

【0003】デジタル処理装置においては、その電源消費電流は動作クロック周波数に比例して増加する（装置内部電源回路の容量成分に対する単位時間当たりの充放電回数がクロック周波数に比例して増えるため）。たとえば 1 MHz クロックのデジタル処理カードが 5 V 100 mA の電源で動作している場合、動作クロックを 8 MHz に上げると電源消費電流は 800 mA に増えてしまう。消費電流が増えたとこの電流が流れる部分の発熱が増え、場合によっては放熱対策が必要になる。またバッテリー動作の機器ではバッテリーの連続使用可能時間が短くなるという問題も生じる。

【0004】上記問題を軽減するためには、次のような処置が必要となる。すなわち、高速動作が必要な個所だけに高速クロック（最高クロック周波数）を供給し、その高速クロック部分が動作中では、高速動作を必要としない他部分のクロック周波数を大幅に下げ、あるいは動作不要の回路部分はクロック周波数をゼロとして回路動作を止める。このようにすると、必要な個所は高速で動かしながら、装置全体としてみれば電源消費電流を比較的小さく押さえることが可能となる。

【0005】

【発明が解決しようとする課題】高速クロックを必要とする個所が常に高速クロックを必要としているとは限らないが、いつ高速クロックが必要となるかが分からないときは、高速処理部分には常に高速クロックを供給し、低速処理部分には常に低速クロックを供給する（あるいは低速処理部分のクロックを適宜止める）ことになる。そうすると、高速処理が必要でない期間においても高速処理部分が高速クロックを受けながら大きな電源電流を消費し続けているので、上記電源消費電流を効果的に押さえることは難しい。

【0006】また、電源消費電流を効果的に押さえるために一部のクロック供給を無造作に止めてしまうと、クロック供給を止められた回路部分の動作が完全に止まってしまいそこでの処理が中断する。この動作停止回路部分については、クロック供給を再開しても自己復帰できず、システムの立ち上げ（リブート）からやり直さなければならない事態が生じる恐れもある。この問題をクリアできる場合であっても、クロックの部分的な停止はシステム全体の性能低下に繋がる可能性が高いので、クロックを止めることのできる回路部分は限られてくる。

【0007】この発明の目的は、必要な部分へ必要な時にだけ高速クロックを供給するようにしてシステム性能を落とすことなく電源消費電流を抑えることのできる可変クロック発生装置および可変クロック発生方法を提供することである。

【0008】

【課題を解決するための手段】上記目的を達成するために、第 1 のクロック周波数（高速クロック CLK0）または第 2 のクロック周波数（低速クロック CLK1）で動作する第 1 ユニット（31）およびこの第 1 のクロック周波数または第 2 のクロック周波数で動作する第 2 ユニット（32）にクロックを供給するこの発明では、所定の命令が入力されたときにクロック周波数を切り換える切換信号（Act）を発生し；前記所定の命令の内容と前記切換信号（Act）の内容（0/1）に応じて決まる第 1 の動作環境（最優先回路動作）では、前記第 1 ユニット（31）および第 2 ユニット（32）の一方に前記第 1 のクロック周波数（CLK0）を供給するとともに前記第 1 ユニット（31）および第 2 ユニット（32）の他方に前記第 2 のクロック周波数（CLK1）を供給し；前記所定の命令の内容と前記切換信号（Act）の内容（0/1）に応じて決まる第 2 の動作環境（最優先回路非動作）では、前記第 1 ユニット（31）および第 2 ユニット（32）の双方に前記第 1 のクロック周波数（CLK0）を供給するようにしている。

【0009】

【作用】システムの稼働状況（入力命令の内容）に応じてシステムを構成する各処理部（第 1、第 2 ユニット）への動作クロックをダイナミックに変更することにより、必要な部分へ必要な時（第 1 の動作環境）にだけ高速クロック（CLK0）を供給するようにして、システム性能を落とすことなく電源消費電流を押さえる。

【0010】

【実施例】以下、図面を参照して、この発明の一実施例に係る可変クロック発生装置および可変クロック発生方法を説明する。

【0011】図 1 は、この発明の一実施例に係る可変クロック発生装置を含むシステムの構成を示す。また、図 2 は、この装置の動作を説明するタイミングチャートである。

【0012】入力クロック CLK0 は、図示しないシステムクロック発生回路から得ている。たとえば 16 MHz のクロック CLK0 を得る場合、このシステムクロック発生回路は、32 MHz の水晶発振器と、その出力をデューティ比 50% にの矩形波に波形整形するフリップフロップ（1/2 分周器）で構成できる。このシステムクロック発生回路を CMOS 回路で構成しておく、この発生回路の電源消費電流は僅かなものにできるので、この CMOS クロック発生回路自体の発振動作を止めることはしない。

【0013】上記システムクロック発生回路からのクロック CLK0 は、タイミング信号として分周動作決定回路（切換信号回路）10 に与えられるとともに、分周回路 20 に入力される。この回路 10 は、クロック周波数切換動作（分周比設定動作）を制御する周波数制御回路

10 a と、たとえばクロック CLK0 で動作する CPU およびメモリなどで構成される最優先回路（または優先回路）10 b とを含んでいる。周波数制御回路 10 a の動作開始および動作停止は、最優先回路 10 b または各種回路ユニット 40 からの処理開始／終了入力（信号あるいは命令）によって制御される。

【0014】分周動作決定回路 10 において、最優先回路（または優先回路）10 b の内部 CPU から周波数制御回路 10 a へ処理開始命令が入力されると、周波数制御回路 10 a は、クロック CLK0 のタイミングでその動作を開始する。その際、所定の条件（最優先条件または優先条件）が満たされると、アクティブ信号 Act が発生される。たとえば、パーソナルコンピュータのメイン CPU（図示せず）が最高速度で動作する必要のない状態（ユーザからのキーボード入力待ち状態など）が所定時間（たとえば 1 分）続くと、ある最優先条件（または優先条件）が満足され、システムクロックの周波数を落とす命令が周波数制御回路 10 a に入力される。すると、分周動作決定回路 10 はアクティブ信号 Act を発生する（図 2 の時間 t s）。

【0015】アクティブ信号 Act は、分周回路 20 に入力される。分周回路 20 は、「システムクロック周波数を落とす」内容の命令に対応したアクティブ信号 Act を受けている期間中（図 2 の t s ~ t e ; ある最優先条件が満足されている期間）、最優先回路動作に入る。

【0016】分周回路 20 は、アクティブ信号 Act を受けると（t s）、入力クロック CLK0 のクロックタイミングでクロック CLK0 を順々に分周し、1 クロックづつずれたタイミング（t 1, t 2, t 3）で、たとえば 1/2 に分周されたクロック CLK1 ~ CLK3 を発生する。こうして得られた低速クロック CLK1 ~ CLK3 は、それぞれ、動作ユニット群 30 を構成する第 1 動作ユニット 31 ~ 第 3 動作ユニット 33 に供給される。第 1 動作ユニット 31 ~ 第 3 動作ユニット 33 は、それぞれ、供給された低速クロック CLK1 ~ CLK3 により、少ない電源消費電流でもって、必要十分な動作速度で所定の処理を実行する。

【0017】ここでの「最優先回路動作」とは、特定回路部分への「システムクロック周波数を落とす」ことを最優先させる動作をいう。換言すると、この特定回路部分を高速クロックで動作させていて何等问题がなくても（あるいは高速クロックで動作していた方が他の回路部分の動作速度上有利であっても）、「最優先回路動作」では、この特定回路部分へのシステムクロック周波数が落とされる。さらに別の言い方をすれば、「最優先回路動作」では、クロック周波数が落とされる特定回路部分よりも、クロック周波数が落とされない回路部分の方が、動作性能上最優先（あるいは単に優先）される。

【0018】また、ここでの「最優先条件（または優先条件）」とは、図示しない他回路の動作状況に拘わら

ず、第 1 動作ユニット 31 ~ 第 3 動作ユニット 33 へ供給される動作クロック CLK1 ~ CLK3 を 1/2 に分周しても良い条件となる。

【0019】たとえば、動作ユニット 31 が 16 MHz クロックで動作している場合にある処理を開始してから処理結果が出るまで最大 1 ms（ミリ秒）掛かるとする。図示しないメイン CPU 上で走っているプログラムにとって、この処理をリクエストしてからその結果を得るまで 2 ms 以上待てるときは、動作ユニット 31 が 8 MHz クロックで動作してもかまわないことになる。このような場合（2 ms 待てる）に、前記「最優先条件（または優先条件）」が満足され、分周動作決定回路 10（周波数制御回路 10 a）は、入力クロック CLK0 を 1/2 分周させるためのアクティブ信号 Act を発生する。

【0020】上記説明から明らかなように、この実施例で述べている「最優先条件（または優先条件）」とは固定された内容のものではなく、システム構成や稼働中のプログラムの内容によって適宜変更され得る。

【0021】クロックを落とした第 1 動作ユニット 31 ~ 第 3 動作ユニット 33 が再び高速クロック CLK0 で動作する時期になると（図 2 の t e）、周波数制御回路 10 a は処理終了入力を最優先回路 10 b の CPU（あるいは各種回路ユニット 40）から受信する。

【0022】以上まとめると、次のようになる。まず最優先回路 10 b の CPU が（クロックを下げて節電を行うために）処理開始命令を周波数制御回路 10 a に入力する。この命令を受けると、周波数制御回路 10 a は、命令内容に応じた「最優先条件」の判定を行い、この条件が満足されると、所定期間（図 2 の t s ~ t e）最優先動作を行うアクティブ信号 Act を出力する。この最優先動作期間中はクロック周波数を落とした分だけ電源消費電流が低減される。

【0023】上記実施例は、次のような作用効果を持つ。

【0024】まず、高速クロックを必要としない低優先度のユニットへのクロック周波数を下げるから、その分消費電流が減る。

【0025】クロックを下げる動作ユニットが複数ある場合には、各ユニットの分周タイミングをずらしている（図 2 の t 1 ~ t 3）。するとクロック変更時点での電源電流ピーク（パルス状）が同時期に集中せず、クロック変更に伴う電源ノイズレベルが小さくなる。このため、装置を IC 化した場合において、IC パッケージの電源ピン、グランドピンの数を減らしても（IC ピンの中継する部分の電源インピーダンスは高くなるが）、クロック変更に伴う電源ノイズレベルで回路動作にエラーが出にくくなる（電源ピン、グランドピンの数を減らせば、IC パッケージのコストを下げる事ができる）。

【0026】図3は、この発明の他の実施例に係る可変クロック発生装置を含むシステムの構成を示す。図3において、図示しないシステムクロック発生回路からの入力クロックCLK0は、タイミング信号として第1の周波数制御回路101aおよび第2の周波数制御回路102aに与えられるとともに、分周回路20に入力される。

【0027】分周回路20は、周波数制御回路101aからのアクティブ信号Act1および周波数制御回路102aからのアクティブ信号Act2の組み合わせの内容に応じて入力クロックCLK0を分周して、4種類のクロックCLK1~CLK4を、それぞれ4つの動作ユニット31~34に与える。各動作ユニット31~34は、与えられたクロックCLK1~CLK4の周波数に対応した速度で、自身の処理を実行するようになっている。

【0028】分周回路20はまた、入力クロックCLK0を第1の優先回路101bおよび第2の優先回路102bに与える。クロックCLK0のタイミングで動作する第1の優先回路101bはCPUを含んでおり、このCPUが実行するプログラムの実行状態に応じて、適宜、処理開始/終了入力#1（第1の処理開始命令#1）が発生される。同様に、クロックCLK0のタイミングで動作する第2の優先回路102bもCPUを含んでおり、このCPUが実行するプログラムの実行状態に応じて、適宜、処理開始/終了入力#2（第2の処理開始命令#2）が発生される。

【0029】周波数制御回路101aは、優先回路101bから処理開始/終了入力#1を受け取ると、所定の条件（優先条件1）が満たされたときにアクティブ信号Act1を発生する（図5の時間ts1）。同様に、周波数制御回路102aは、優先回路102bから処理開始/終了入力#2を受け取ると、他の所定条件（優先条件2）が満たされたときにアクティブ信号Act2を発生する（図5の時間ts2）。

【0030】アクティブ信号Act1およびAct2は、分周回路20に入力される。分周回路20は、「システムクロック周波数を落とす」内容の命令に対応したアクティブ信号Act1およびAct2の組み合わせを受けている期間中（図2のts1以降；第1または第2の優先条件が満足されている期間）、優先回路動作に入る。

【0031】図4は、アクティブ信号Act1およびAct2の組み合わせとクロックCLK0に対する4種類の分周動作との対応関係を例示する真理値表である。処理開始命令（処理開始/終了入力）#1および#2の内容によって決まるアクティブ信号Act1およびAct2の組み合わせが0/0の場合は、4種類のクロックCLK1~CLK4に対する分周比は全て「1」となる。すなわちクロックCLK1~CLK4各々の周波数は入

力クロックCLK0と同じになる。

【0032】処理開始命令（処理開始/終了入力）#1および#2の内容によって決まるアクティブ信号Act1およびAct2の組み合わせが0/1の場合（あるいは1/0の場合）は、4種類のクロックCLK1~CLK4に対する分周比は全て「2」となる。すなわちクロックCLK1~CLK4各々の周波数は入力クロックCLK0の1/2になる。

【0033】処理開始命令（処理開始/終了入力）#1および#2の内容によって決まるアクティブ信号Act1およびAct2の組み合わせが1/1の場合は、4種類のクロックCLK1~CLK4に対する分周比は全て「4」となる。すなわちクロックCLK1~CLK4各々の周波数は入力クロックCLK0の1/4になる。

【0034】アクティブ信号Act1およびAct2の組み合わせが時間とともに変化する場合は、優先回路101bおよび102bの動作とそれに伴うクロックCLK1~CLK4の周波数変化は、たとえば図5に示すようになる。

【0035】すなわち、時間ts1以前では、アクティブ信号Act1およびAct2の組み合わせが0/0なので分周比は「1」であるから、クロックCLK1~CLK4の周波数は入力クロックCLK0と一致している。

【0036】時間ts1からts2の間では、アクティブ信号Act1およびAct2の組み合わせが1/0なので分周比は「2」となる。すると、クロックCLK1、CLK2、CLK3、CLK4の順で、それらの周波数が入力クロックCLK0の1/2に変化する（時間t1、t2、t3、t4）。

【0037】時間ts2以降では、アクティブ信号Act1およびAct2の組み合わせが1/1なので分周比は「4」となる。すると、クロックCLK1、CLK2、CLK3、CLK4の順で、それらの周波数が入力クロックCLK0の1/4に変化する（時間t21、t22、t23、t24）。

【0038】その後アクティブ信号Act1およびAct2の組み合わせが0/0に戻ると、優先回路動作が終了し、クロックCLK1~CLK4は入力クロックCLK0の周波数と同じに戻る。このクロック周波数の復帰は、優先回路101bおよび/または102bから図示しないメインCPUに通知することができる。

【0039】つまり、優先回路101bおよび102bのCPUがそのプログラム実行中に処理開始命令（処理開始/終了入力）#1および#2を周波数制御回路101aおよび102aへ適宜与えることにより、各動作ユニット31~34は、適宜変更されたクロックCLK1~CLK4の周波数に対応した速度で、自身の処理を実行する。このクロック周波数のダイナミックな変更（クロック周波数低下）により、全体として、動作ユニット

群 30 の電源消費電流（電力消費量）を減らすことができる。

【0040】上記実施例は、次のような作用効果を持つ。

【0041】優先回路（101b、102b）を複数用いることにより、分周回路 20 における分周の組み合わせ数を増やすことができるから、異なるクロックで動作する多数のユニットで構成される複雑なシステムへ、この発明を応用できる。

【0042】図 6 は、この発明のさらに他の実施例に係る可変クロック発生装置を含むシステムの構成を示す。また、図 7 はこの装置の動作を説明するフローチャートである。

【0043】図示しない CPU からの命令コードは分周動作決定回路 10 内部の命令デコーダ 110 に入力される。デコーダ 110 は、入力された命令の内容に応じた組み合わせで、3 種類のアクティブ信号 $Act1 \sim Act3$ を発生する。これらのアクティブ信号 $Act1 \sim Act3$ は、ゲートアレイなどで構成される選択回路 120 とともに、分周回路 20 内のアンドゲート $G21 \sim G23$ の第 1 入力端に与えられる。分周回路 20 内のアンドゲート $G21 \sim G23$ の第 2 入力端には、分周前のクロック $CLK0$ が入力される。

【0044】アンドゲート $G21$ は、アクティブ信号 $Act1$ が「1」レベルのときにだけ、入力クロック $CLK0$ を第 1 の分周回路 21 へ供給する。同様に、アンドゲート $G22$ はアクティブ信号 $Act2$ が「1」レベルのときにだけ入力クロック $CLK0$ を第 2 の分周回路 22 へ供給し、アンドゲート $G23$ はアクティブ信号 $Act3$ が「1」レベルのときにだけ入力クロック $CLK0$ を第 3 の分周回路 23 へ供給する。

【0045】第 1 ～ 第 3 の分周回路 21 ～ 23 は、選択回路 120 から「1」レベルの選択信号 $SL1 \sim SL3$ を受けているときにだけ分周回路動作を行う。選択信号 $SL1 \sim SL3$ それぞれのレベルは、アクティブ信号 $Act1 \sim Act3$ の組み合わせによって決定される。

【0046】たとえば、デコーダ 110 に入力された命令をデコードした結果（図 7 のステップ ST10）、整数演算ユニット（ALU）31 の実行命令であれば（ステップ ST12 の #1）、ゲート $G21$ を導通させる信号 $Act1 = 1$ がデコーダ 110 から出力されるとともに、分周回路 21 の分周比を「1」にする信号 $SL1$ が回路 21 に供給される（ステップ ST14）。これにより、整数演算ユニット 31 は最高速のクロック $CLK1 (= CLK0)$ で動作する。

【0047】一方、そのときデコードされた命令（整数演算ユニット 31 の動作速度が最優先されている）が、たとえばデータの（メモリあるいはレジスタへの）ロード／ストア命令を含んでおり、この命令を最高速で実行する必要がないならば、分周回路 22 は信号 $SL2$ によ

り分周比が「2」に設定される（ステップ ST16）。これによりロード／ストア制御ユニット 32 への電源電流が低減される。また、浮動小数点演算が実行されない命令であれば、信号 $Act3 = 0$ がデコーダ 110 から出力され、ゲート $G23$ が非導通状態になる。すると分周回路 23 へのクロック入力が停止され（ステップ ST16）、浮動小数点演算ユニット（FPU）33 は動作を停止する（この場合、ユニット 33 は殆ど電力を消費しない）。

【0048】デコーダ 110 に入力された命令をデコードした結果（ステップ ST10）、ロード／ストア制御ユニット 32 の実行命令であれば（ステップ ST12 の #2）、ゲート $G22$ を導通させる信号 $Act2 = 1$ がデコーダ 110 から出力されるとともに、分周回路 22 の分周比を「1」にする信号 $SL2$ が回路 22 に供給される（ステップ ST18）。これにより、ロード／ストア制御ユニット 32 は最高速のクロック $CLK2 (= CLK0)$ で命令あるいはデータのロード／ストアを実行する。

【0049】一方、そのときデコードされた命令（ロード／ストア制御ユニット 32 の動作速度が最優先されている）が、たとえば整数演算命令を含んでおり、この命令を最高速で実行する必要がないならば、分周回路 21 は信号 $SL1$ により分周比が「2」に設定される（ステップ ST20）。これにより整数演算ユニット 31 への電源電流が低減される。

【0050】また、そのときデコードされた命令（ロード／ストア制御ユニット 32 の動作速度が最優先されている）が、たとえば浮動小数点演算命令を含んでおり、この命令も最高速で実行する必要がないならば、分周回路 23 は信号 $SL3$ により分周比が「2」に設定される（ステップ ST20）。これにより浮動小数点演算ユニット 33 への電源電流が低減される。

【0051】デコーダ 110 に入力された命令をデコードした結果（ステップ ST10）、浮動小数点演算ユニット（FPU）31 の実行命令であれば（ステップ ST12 の #3）、ゲート $G23$ を導通させる信号 $Act3 = 1$ がデコーダ 110 から出力されるとともに、分周回路 23 の分周比を「1」にする信号 $SL3$ が回路 23 に供給される（ステップ ST22）。これにより、浮動小数点演算ユニット 33 は最高速のクロック $CLK3 (= CLK0)$ で動作する。

【0052】一方、そのときデコードされた命令（浮動小数点演算ユニット 33 の動作速度が最優先されている）が、たとえばデータの（メモリあるいはレジスタへの）ロード／ストア命令を含んでおり、この命令を最高速で実行する必要がないならば、分周回路 22 は信号 $SL2$ により分周比が「2」に設定される（ステップ ST24）。これによりロード／ストア制御ユニット 32 への電源電流が低減される。また、整数演算が実行されな

い命令であれば、信号 $Act1 = 「0」$ がデコード 110 から出力され、ゲート $G21$ が非導通状態になる。すると分周回路 21 へのクロック入力が停止され（ステップ $ST24$ ）、整数演算ユニット（ ALU ）31 は動作を停止する（この場合、ユニット 31 は殆ど電力を消費しない）。

【0053】上記実施例は、次のような作用効果を持つ。

【0054】これから実行しようとする命令内容に応じて最高速クロックで動作すべきユニットをダイナミックに指定できる。すなわち、その命令内容では最高速クロックで動く必要のないユニットのクロックは適宜低下させ、その命令内容では全く動作不要なユニットについてはクロックを止めることができる（止めてもエラーが出ない場合）。そうするとシステム全体としてのパフォーマンスを実質的に落とさずに装置全体としての電源消費電流を効果的に減少させることができる。

【0055】

【発明の効果】システムの稼働状況（入力命令の内容）に応じてシステムを構成する各処理部（31～33）への動作クロックをダイナミックに変更して、必要な部分へ必要な時（最優先回路動作中；第 1 の動作環境）にだけ高速クロック（ $CLK0$ ）を供給するようにしている。これにより、システム性能を落とすことなく電源消費電流を押さえることができる。

【図面の簡単な説明】

【図 1】この発明の一実施例に係る可変クロック発生装置を含むシステムの構成を示すブロック図。

【図 2】図 1 の実施例の動作を説明するタイミングチャート図。

【図 3】この発明の他の実施例に係る可変クロック発生装置を含むシステムの構成を示すブロック図。

【図 4】図 3 の実施例の分周回路の動作を説明する真理値表図。

【図 5】図 3 の実施例の動作を説明するタイミングチャート図。

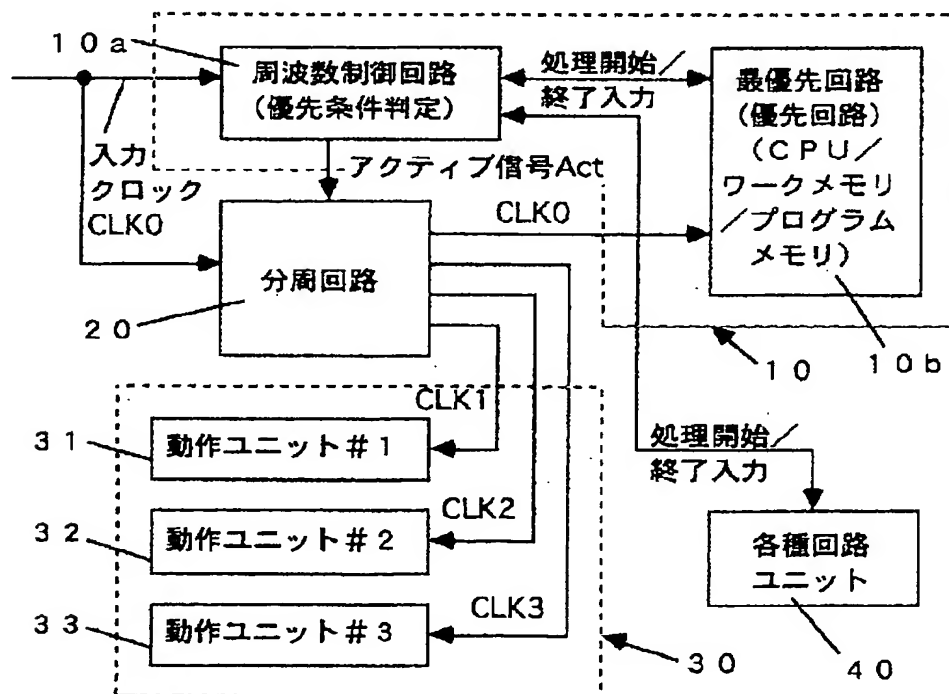
【図 6】この発明のさらに他の実施例に係る可変クロック発生装置を含むシステムの構成を示すブロック図。

【図 7】図 6 の実施例の動作を説明するフローチャート。

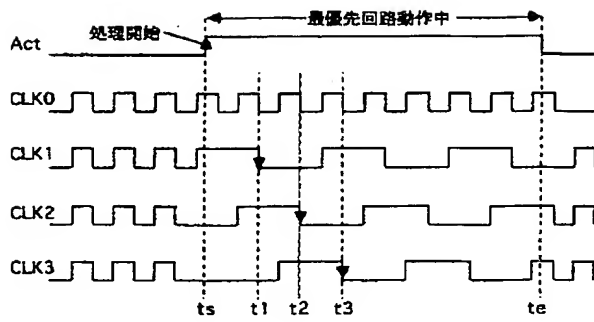
【符号の説明】

10…分周動作決定回路（切換信号回路）、10a、101a、102a…周波数制御回路、10b、101b、102b…最優先回路、20…分周回路（可変クロック供給回路）、30…動作ユニット群、31…動作ユニット #1（ ALU ）、32…動作ユニット #2（ロード/ストア）、33…動作ユニット #3（ FPU ）、34…動作ユニット #4、40…各種回路ユニット、21…分周回路 #1、22…分周回路 #2、23…分周回路 #3、 $G21 \sim G23$ …アンドゲート。

【図 1】



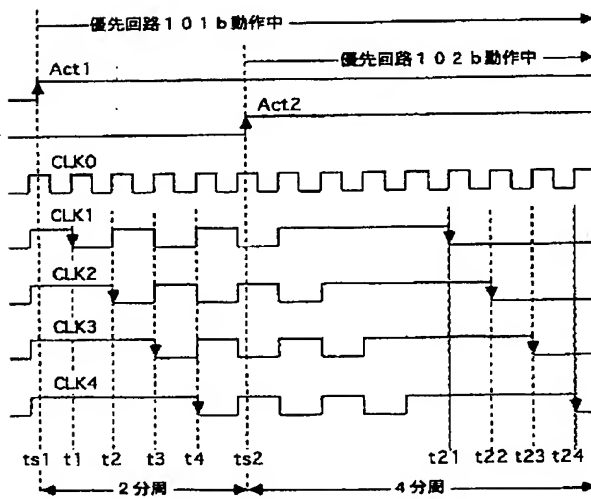
【図 2】



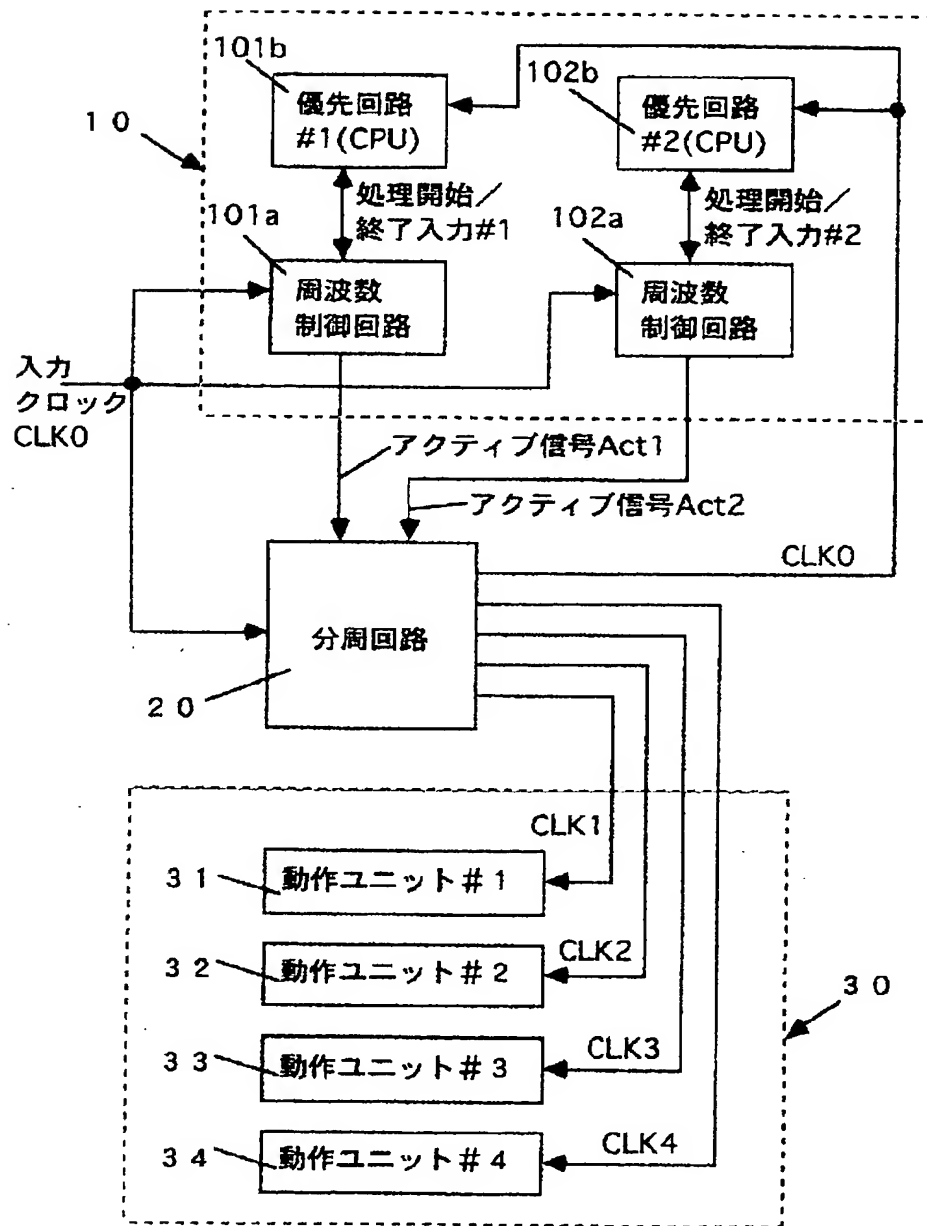
【図 4】

Act1/Act2	ck1	ck2	ck3	ck4
0/0	1	1	1	1
0/1	2	2	2	2
1/0	2	2	2	2
1/1	4	4	4	4

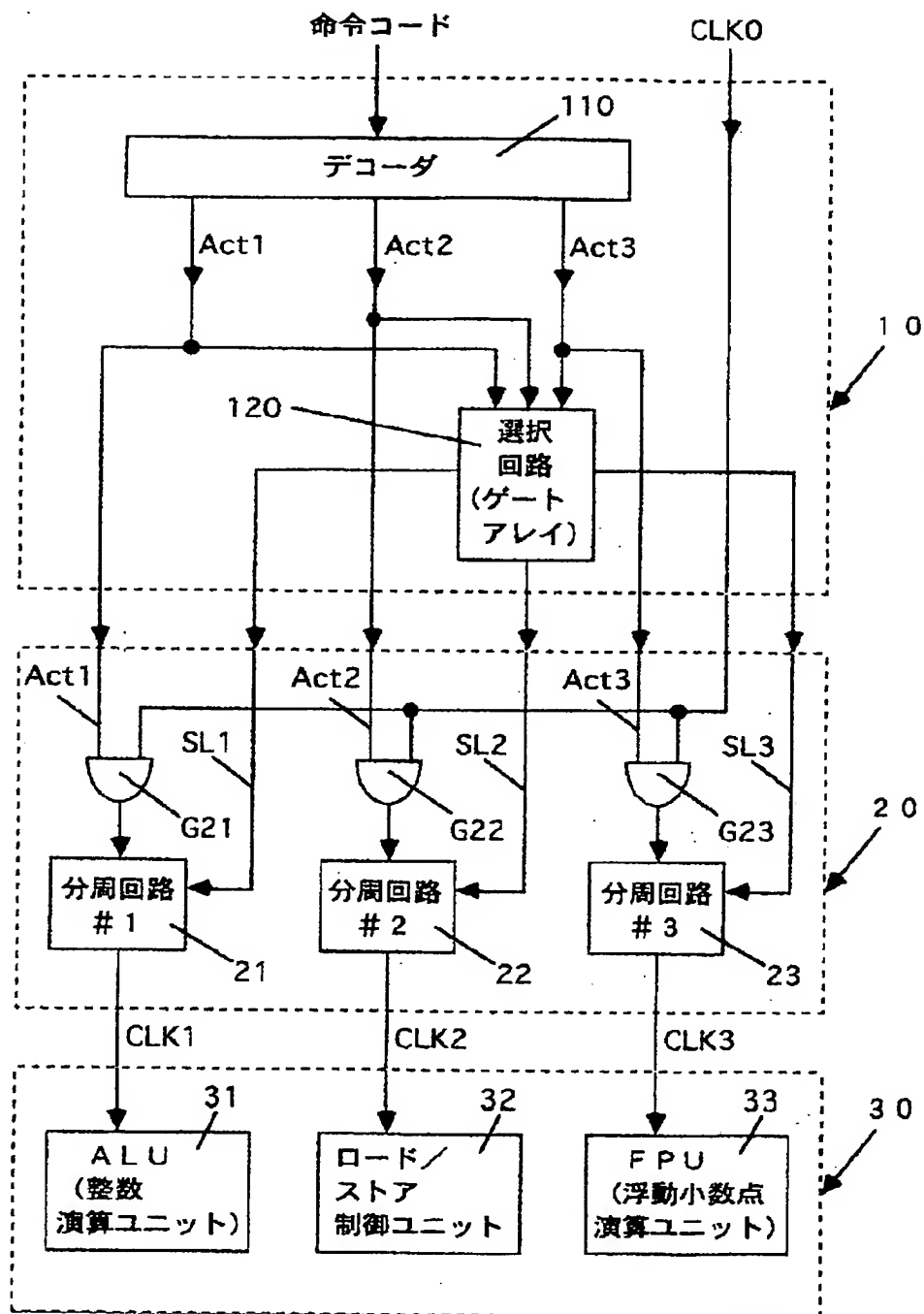
【図 5】



【図3】



【図 6】



【図 7】

